

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-025972

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

H01L 21/306

H01L 21/20

H01L 21/205

H01L 29/78

H01L 21/336

H01L 29/786

(21)Application number : 2000-202809

(71)Applicant : ASAHI KASEI MICROSYSTEMS KK

(22)Date of filing : 04.07.2000

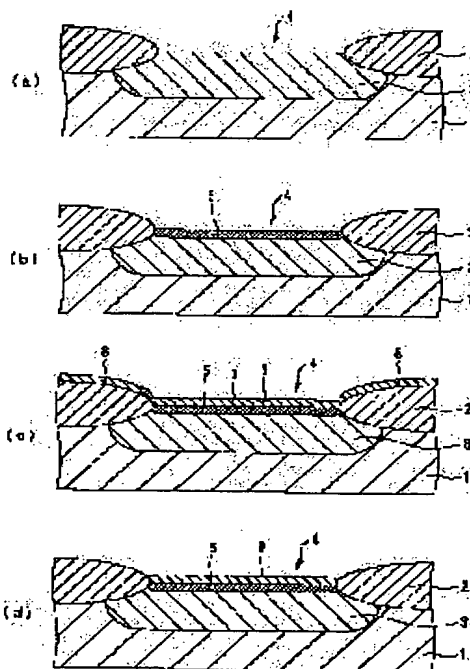
(72)Inventor : TOITA MASATO

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable an epitaxial layer to be easily and selectively formed through a method different from a selective epitaxial growth method and to reduce labor required for maintaining a device.

SOLUTION: An element isolating region 2 and a well layer 3 are formed on a silicon substrate 1, and then a silicon layer 6 of low-impurity concentration is deposited on a region including the element isolating region 2 and an active region 5 through a CVD method. At this point, a single crystal silicon is epitaxially grown on the active region 5 in which the silicon substrate 1 is exposed, but an amorphous silicon is grown on the element isolating region 2. Thereafter, by the use of etchant containing a hydrofluoric acid and a nitric acid, only the amorphous silicon formed in the element isolating region 2 is selectively removed by etching, and the single crystal silicon formed in the active region 5 is hardly etched. By this setup, an epitaxial layer is formed only in the active region 5.



*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A manufacturing method of a semiconductor device characterized by comprising the following.

A piling process which makes a semiconductor layer deposit on the 1st field that the surface of a single crystal semiconductor layer formed on a semiconductor base substance has exposed, and the 2nd field that the surface of said single crystal semiconductor layer has not exposed using a non selection CVD method.

A selective etching process of etching selectively only a semiconductor layer formed on said 2nd field among semiconductor layers made depositing in the piling process concerned, and removing it.

[Claim 2]Said 1st field is a field which the surface of a single crystal silicon layer has exposed, Said 2nd field is an exposed field and an insulator layer of silicon oxide or a silicon nitride film said piling process, It is a process which grows single crystal silicon epitaxially into said 1st field using a non selection CVD method, and makes an amorphous silicon deposit on said 2nd field, A manufacturing method of the semiconductor device according to claim 1, wherein said selective etching process is a process of etching selectively only an amorphous silicon layer formed on said 2nd field of wet etching by an etching reagent containing fluoric acid and nitric acid, and removing it.

[Claim 3]Said 1st field is a field which the surface of a single crystal silicon layer has exposed, Said 2nd field is an exposed field and an insulator layer of silicon oxide or a silicon nitride film said piling process, After making an amorphous silicon deposit on said 1st and 2nd fields using a non selection CVD method, ARUMO made to deposit on said 1st field by annealing -- face -- it being the process of crystallizing only a silicon layer and said selective etching process, A manufacturing method of the semiconductor device according to claim 1 being the process of etching selectively only an amorphous silicon layer formed on said 2nd field of wet etching by an etching reagent containing fluoric acid and nitric acid, and removing it.

[Claim 4]A manufacturing method of the semiconductor device according to claim 2 or 3, wherein presentations of said etching reagent are 0.5 to fluoric acid (49-% of the weight HF content) 1.5 volume %, five to water 15 volume %, 30 to nitric acid (70-% of the weight HNO₃ content) 50 volume %, and 30 to acetic acid 50 volume %.

[Claim 5]A manufacturing method of the semiconductor device according to any one of claims 1 to 4, wherein said semiconductor device is a semiconductor device which constitutes analog circuitry.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the manufacturing method of the semiconductor device which formed the semiconductor layer only in the field which the single crystal semiconductor surface on the surface of a semiconductor base substance has exposed selectively.

[0002]

[Description of the Prior Art]Generally, in the MOS type electrolysis effect transistor (MOSFET), it is known that the phenomenon of a short channel effect which is not preferred will appear as the gate size becomes short. As a means for inhibiting this short channel effect, the method of growing epitaxially a low silicon layer with remarkable impurity concentration into the channel regions of MOSFET is proposed.

[0003]The statistical variation (mismatch) of the threshold voltage V_{th} of each transistor becomes large as the device size of MOSFET becomes small, The mismatch of this threshold voltage V_{th} serves as trouble at the time of constituting a circuit using MOSFET with a small device size in order to make circuit operation produce fault. The method of growing epitaxially a low silicon layer with remarkable impurity concentration into the channel regions of MOSFET also as a means for controlling the mismatch of this threshold voltage V_{th} is proposed.

[0004]By the way, the process which grows epitaxially a low silicon layer with this remarkable impurity concentration is performed as follows, for example. Namely, as shown in drawing 7 (a), the isolation region 52 is formed by methods, such as publicly known LOCOS or STI (shallow trench isolation), on the silicon substrate 51, After forming silicon oxide in the field which silicon substrates 51 other than active region, i.e., isolation region, 52 have exposed after forming N well or the P well layer 53 as a sacrificing oxide film, ion implantations, such as boron for threshold voltage adjustment, are performed. And silicon oxide is removed.

[0005]Thereby, the boron ion doped layer 54 for threshold voltage adjustment is formed (drawing 7 (b)). Then, only the silicon substrate 51 surface of an active region is exposed, and the low-impurity-concentration silicon layer 55 is selectively grown epitaxially only into the silicon substrate 51 surface of an active region (drawing 7 (c)).

[0006]Here, this selective epitaxial growth is 850 in order to control diffusion of the impurity from the already doped silicon substrate 51. [**] It must carry out at the following low temperature and, for that purpose, the ultrahigh-vacuum CVD (UHV-CVD) device etc. are used. For example, ultimate-vacuum $1E-8$ [Torr] Using the following UHV-CVD systems, the mixed gas of disilane gas or disilane gas, and chlorine is used, and it is 600. [**] ** et al. [850] It is carried out at the temperature of [**].

[0007]And after forming the rear gate insulator layer, a gate electrode is formed by publicly known lithography and etching by being made from polysilicon. In order to reduce the electric resistance value of a gate electrode in many cases, on polysilicon, high-melting point metal silicide is formed further. Then, after source and a drain area are formed and an insulator layer is formed, the wiring process by a metallic material is performed.

[0008]It is necessary to make the diffusion zone of a source drain shallow and to consider it as a

shallow junction (shallow junction) for short channel effect control of the above-mentioned MOSFET. However, since the silicon in Mr. Fukashi of a certain is consumed from the surface of the field concerned when carrying out the Salicide process of making metal, such as titanium and cobalt, acting on the silicon surface of a source drain area, and forming metal silicide, it is difficult to consider it as shallow junction. Therefore, the method of a lased source drain is taken.

[0009]That is, as shown in drawing 8, after forming the gate dielectric film 58 according to a publicly known procedure on the semiconductor substrate 51 and forming the gate electrode 57 on this, After performing a low-concentration ion implantation, the side wall spacer 59 is formed and the source drain area 60 which performs a high-concentration ion implantation again and consists of high concentration and a low concentration diffusion region is formed (drawing 8 (a)). Then, only the source drain area 60 exposes the silicon substrate 51 surface, and grows up the silicon layer 61 by the selective-epitaxial-growth method to this field (drawing 8 (b)). And he allots this silicon layer 61 to the silicon consumed at the Salicide process, for example, is trying to form the silicide 62, such as cobalt (drawing 8 (c)).

[0010]The ultrahigh-vacuum CVD (UHV-CVD) device etc. are used like [the selective epitaxial growth to this source drain area 60] the case of the selective epitaxial growth to the above-mentioned channel regions. That is, for example, ultimate-vacuum $1\text{E}-8$ [Torr] Using the following UHV-CVD systems, the mixed gas of disilane gas or disilane gas, and chlorine is used, and it is 600. [**] ** et al. [850] It is carried out at the temperature of [**].

[0011]

[Problem(s) to be Solved by the Invention]However, in order to perform selective epitaxial growth to the above-mentioned channel regions, or selective epitaxial growth to a source drain area using said UHV-CVD system, Since it is necessary to grow epitaxially selectively only to a specific field and accuracy is required, control is difficult.

[0012]Although the trial which performs selective epitaxial growth with the CVD system using a dichloro silane or a dichloro silane, hydrochloric acid gas, etc. is also made, In this case, a too great labor — deposition of the silicone film in low temperature is difficult, or the gas of a chlorine system, especially hydrochloric acid gas make the metal part in a system corrode, and cause metallic contamination — is needed for the control of maintenance of a device.

[0013]Then, this invention is made paying attention to the above-mentioned conventional unsolved problem, It aims at providing the manufacturing method of the possible semiconductor device of forming an epitaxial silicon layer selectively only into the portion which the semiconductor base substance surface has exposed easily, without using chlorine system gas.

[0014]

[Means for Solving the Problem]To achieve the above objects, a manufacturing method of a semiconductor device concerning claim 1 of this invention, A piling process which makes a semiconductor layer deposit on the 1st field that the surface of a single crystal semiconductor layer formed on a semiconductor base substance has exposed, and the 2nd field that the surface of said single crystal semiconductor layer has not exposed using a non selection CVD method, It is characterized by having a selective etching process of etching selectively only a semiconductor layer formed on said 2nd field among semiconductor layers made depositing in the piling process concerned, and removing it.

[0015]A manufacturing method of a semiconductor device concerning claim 2, Said 1st field is a field which the surface of a single crystal silicon layer has exposed, Said 2nd field is an exposed field and an insulator layer of silicon oxide or a silicon nitride film said piling process, It is a process which grows single crystal silicon epitaxially into said 1st field using a non selection CVD method, and makes an amorphous silicon deposit on said 2nd field, Said selective etching process is characterized by being the process of etching selectively only an amorphous silicon layer formed on said 2nd field of wet etching by an etching reagent containing fluoric acid and nitric acid, and removing it.

[0016]A manufacturing method of a semiconductor device concerning claim 3, Said 1st field is a field which the surface of a single crystal silicon layer has exposed, Said 2nd field is an exposed field and an insulator layer of silicon oxide or a silicon nitride film said piling process, After

making an amorphous silicon deposit on said 1st and 2nd fields using a non selection CVD method, ARUMO made to deposit on said 1st field by annealing — face — it being the process of crystallizing only a silicon layer and said selective etching process, It is characterized by being the process of etching selectively only an amorphous silicon layer formed on said 2nd field of wet etching by an etching reagent containing fluoric acid and nitric acid, and removing it.

[0017]A manufacturing method of a semiconductor device concerning claim 4, In a manufacturing method of said semiconductor device according to claim 2 or 3, It is characterized by presentations of said etching reagent being 0.5 to fluoric acid (49-% of the weight HF content) 1.5 volume %, five to water 15 volume %, 30 to nitric acid (70-% of the weight HNO_3 content) 50 volume %, and 30 to acetic acid 50 volume %.

[0018]A manufacturing method of a semiconductor device concerning claim 5 is characterized by said semiconductor device being a semiconductor device which constitutes analog circuitry in a manufacturing method of the semiconductor device according to any one of claims 1 to 4. The 1st field that the single crystal semiconductor surface has exposed in an invention which relates to claim 5 from this claim 1, a silicon substrate with which both 2nd field that the single crystal semiconductor surface has not exposed since it is covered with an insulating material etc. coexists — or, In a semiconductor base substance called a SOI substrate in which a single crystal silicon layer was formed on an insulating substrate etc., A semiconductor layer deposits on both the 1st field that the single crystal semiconductor surface has exposed, and the 2nd field that has not been exposed with a non selection CVD method, Then, a semiconductor layer will be formed only in the 1st field by etching selectively only a semiconductor layer made to deposit on the 2nd field, and removing it.

[0019]That is, a semiconductor layer is grown epitaxially into the 1st field that the single crystal semiconductor surfaces, such as a single crystal silicon layer, have exposed when making a semiconductor layer deposit for example, A semiconductor layer is made to deposit on the 2nd field that the single crystal semiconductor surface called an insulator layer of silicon oxide or a silicon nitride film, etc. has not exposed so that an amorphous silicon layer may be formed. For example, after making an amorphous silicon layer deposit on the 1st and 2nd fields, it performs crystallizing only an amorphous silicon layer of the 1st field that anneals this and the single crystal semiconductor surfaces, such as a single crystal silicon layer, have exposed etc.

[0020]And for example, it etches using an etching reagent containing fluoric acid and nitric acid, By making a presentation of an etching reagent into 0.5 to fluoric acid (49-% of the weight HF content) 1.5 volume %, five to water 15 volume %, 30 to nitric acid (70-% of the weight HNO_3 content) 50 volume %, the acetic acid 30 – 50 volume % at this time, Only a silicon layer of the 2nd field that only an amorphous silicon layer is selectively removed, namely, the single crystal semiconductor surface has not exposed will be removed selectively, and a silicon layer will be formed only in the 1st field.

[0021]therefore — a semiconductor layer can be easily formed only in the 1st field that the semiconductor base substance surface has exposed by etching this selectively, after forming a semiconductor layer in non selection — chlorine system gas — **** — it becomes possible to realize without things.

[0022]

[Embodiment of the Invention]Hereafter, an embodiment of the invention is described based on a drawing. First, a 1st embodiment is described. It is made for this 1st embodiment to grow a silicon layer epitaxially only into the channel regions of MOSFET.

[0023]As shown in drawing 1, first, the isolation region 2 is formed in the silicon substrate 1 by methods, such as publicly known LOCOS or STI (shallow trench isolation), and N well layer or the P well layer 3 is formed in it (drawing 1 (a)). And silicon oxide is removed, after forming the silicon oxide as a sacrificing oxide film in the active region 4 and the field which it was got blocked and silicon substrates 1 other than isolation region 2 have exposed and performing the ion implantation for threshold voltage V_{th} adjustment of a boron ion etc. here, for example. Thereby, the boron ion doped layer 5 for threshold voltage adjustment is formed in the active region 4 (drawing 1 (b)).

[0024]By the ion implantation used for this well formation and threshold voltage adjustment, it is the concentration one E16 to the active region 4 of MOSFET in the silicon substrate 1. [cm^{-3}] ** et al. [one E18] The impurity layer of the mold according to the poured-in ion containing the N type of [cm^{-3}], P type impurities, or those both will be formed. Next, after performing fluoric acid processing and exposing only the silicon substrate 1 surface of said active region 4, the silicon substrate 1 is introduced into a low pressure CVD system, and it is 800. [**] ** et al. [850] H_2 (hydrogen) annealing of [**] removes the natural oxidation film on said active region 4.

[0025]Next, the gaseous mixture containing Silang, disilanes, or those gas is used as a raw material, and it is the pressure 0.01. [Torr] ** et al. [0.5] [Torr] Temperature 350 [**] ** et al. [600] By the low-pressure CVD method of [**], it is [be / nothing] the thickness 20 in non selection in distinction from both isolation regions 2 as the active region 4 and the 2nd field as the 1st field. [nm] ** et al. [100] [nm] Impurity concentration one E14 [cm^{-3}] The following low-impurity-concentration silicon layers 6 are deposited (piling process).

[0026]The more it is by low concentration, it is desirable and, the more the impurity concentration in this low-impurity-concentration silicon layer 6 is one E13. [cm^{-3}] It is preferred that it is the following. Although the single crystal silicon 7 grows up to be epitaxial from the silicon substrate 1 which is a ground in the active region 4 which the silicon substrate 1 has exposed at this time, The silicon substrate 1 is not exposed and the amorphous silicon 8 grows up to be the isolation region 2 in which the surface is formed by SiO_2 etc. (drawing 1 (c)).

[0027]The operation means of deposition of the low-impurity-concentration silicon layer 6 for operation of this invention is not restricted to said low-pressure CVD method. They may be the decompression RTP method, a UHV-CVD method, and an ordinary pressure CVD method. Next, it etches using the silicon etching liquid containing fluoric acid (HF) and nitric acid (HNO_3),

Without etching most single-crystal-silicon 7 portions formed in the active region 4, only amorphous silicon 8 portion formed in the isolation region 2 is etched selectively, and is removed. Thereby, the low-impurity-concentration silicon layer 9 is formed only in the active region 4 (selective etching process). (drawing 1 (d))

[0028]The desirable presentations of said silicon etching liquid are 0.5 to fluoric acid (49-% of the weight HF content) 1.5 volume %, five to water 15 volume %, 30 to nitric acid (70-% of the weight HNO_3 content) 50 volume %, and 30 to acetic acid 50 volume %. The still more desirable presentations of said silicon etching liquid are fluoric acid (49-% of the weight HF content) 0.92 volume %, water 8.18 volume %, nitric acid (70-% of the weight HNO_3 content) 45.45 volume %, and acetic acid 45.45 volume %.

[0029]And in order to control diffusion of the impurity from the silicon substrate 1 which doped the impurity to the low-impurity-concentration epitaxial silicon layer 9 in the process after the formation process of the low-impurity-concentration silicon layer 9 to said active region 4, they are all the processes 850 [**] Hereafter, it is 750 preferably. [**] It is [whether it carries out by the following low-temperature furnace processings, and] 850. In performing heat treatment at the temperature exceeding [**], it carries out by the short time processing for 3 or less minutes which used the RTA (rapid thermal processor) device.

[0030]Under these conditions, the process of forming said low-impurity-concentration silicon layer 9 is followed, and it is 850, for example. [**] Hereafter, it is 750 preferably. [**] It is 2 by the following thermal oxidation. [nm] ** et al. [40] Drawing 2 which forms the silicon oxide of the thickness of [nm] as the gate dielectric film 10 (a). In operation of this invention, the gate dielectric film 10 may be a multilayer film which is not limited to silicon oxide and laminated any, such as a silicon nitride film, a silicon nitriding oxide film, and a metallic oxide film, or them.

[0031]Next, the polysilicon used as a gate material by a publicly known method is made to deposit, and an impurity is introduced by the Lynn processing which used the ion implantation or phosphorus oxychloride of Lynn or boron for this polish contest layer 11 made to deposit (drawing 2 (b)). Next, publicly known lithography and etching are performed and the gate

electrode 12 is patterned (drawing 2 (c)). As for the length of the gate electrode 12 formed as a result, it is 0.1 to become a lever according to the convenience of the process generation to whom an invention is applied, and a circuit design, although it is needless to say. [μm] ** et al. [10.0] What is necessary is just to be by [μm]. This 0.1 [μm] ** et al. [10.0] If it is the range of [μm], it can use for the analog circuitry usually demanded.

[0032]High-melting point metal silicide may be formed in order to reduce the electric resistance value of the gate electrode 12 in the upper part of the gate electrode 12. Next, after pouring in N⁻ ion and forming the low concentration diffusion region 13 by a publicly known method, the side wall spacer 14 is formed, N⁺ ion is poured in further, the high concentration diffused region 15 is formed, and source and a drain area are formed (drawing 2 (d)).

[0033]Activation of the doped impurity is the temperature 950. [°C] It is 1150 above. [°C] Hereafter, it carries out 20 seconds or more time by heat treatment of a short time using the RTA (rapid thermal processor) device for 3 or less minutes. At the end, the process after publicly known interlayer insulation film formation and metallic wiring formation is performed. Thus, the low-impurity-concentration silicon layer 9 can be formed only in the active region 4 at epitaxial by performing non selection low-impurity-concentration silicon deposition and selective etching, without being based on selective epitaxial growth by performing the above process.

[0034]Therefore, by performing low-impurity-concentration silicon deposition in non selection, Only amorphous silicon 8 portion is etched by etching using the silicon etching liquid which the single crystal silicon 7 and the amorphous silicon 8 are formed, and contains fluoric acid (HF) and nitric acid (HNO₃). Since the single crystal silicon 7 remains only in the active region 4, as compared with the case where selective epitaxial growth is carried out, it can form easily. Since the control condition at the time of formation of the low-impurity-concentration silicon layer 9 is not severe as compared with the case where selective epitaxial growth is carried out, temperature conditions can be set up more low.

[0035]Since it can carry out without using chlorine system gas, it is avoidable to need a great labor for mechanical maintenance. Since the silicon layer with low impurity concentration is growing epitaxially to the active region 4, even if a gate size is short, a short channel effect is inhibited, and MOSFET formed by doing in this way is controlled, dispersion, i.e., the mismatch, of the threshold voltage V_{th}. Therefore, since detailed MOSFET can be obtained and the mismatch between MOSFETs is reduced, highly precise analog circuitry can be obtained.

[0036]Next, a 2nd embodiment of this invention is described. After this 2nd embodiment makes a low-impurity-concentration amorphous silicon layer deposit, it anneals this and it is made to crystallize an amorphous silicon. Identical codes are given to the same part as a 1st embodiment of the above, and the detailed explanation is omitted.

[0037]Namely, as shown in drawing 3 (a), the isolation region 2 is formed by methods, such as publicly known LOCOS or STI (shallow trench isolation), on the silicon substrate 1. After forming N well layer or the P well layer 3, the ion implantation for threshold voltage V_{th} adjustment is performed to the active region 4, and the boron-dope layer 5 for threshold voltage adjustment is formed in it.

[0038]By this well formation and the ion implantation used for threshold voltage V_{th} adjustment, it is the concentration one E16 in the active region 4 of MOSFET within the silicon substrate 1.

[cm⁻³] ** et al. [one E18] The impurity layer of the mold according to the introduced impurity containing the N type of [cm⁻³], P type impurities, or those both is formed. Next, after exposing only the silicon substrate 1 surface of said active region 4 by fluoric acid processing, the silicon substrate 1 is introduced into a low pressure CVD system, and it is 800. [°C] ** et al. [850] H₂ (hydrogen) annealing of [°C] removes the natural oxidation film on said active region 4.

[0039]Next, Silane is made into material gas and it is the pressure 0.1. [Torr] ** et al. [0.5] [Torr] Temperature 500 [°C] ** et al. [550] By the low-pressure CVD method of [°C], it is [be / nothing] the thickness 20 in non selection in distinction from both the active region 4 and the isolation region 2. [nm] ** et al. [100] [nm] Impurity concentration one E14 [cm⁻³] The following low-impurity-concentration amorphous silicon layers 6a are made to deposit. The more

it is by low concentration, it is desirable and, the more the impurity concentration in the low-impurity-concentration silicon layer 6a is one $E13$. [cm^{-3}] It is preferred that it is the following. [0040]In operation of this invention, the material gas for amorphous silicon 6a deposition may not be limited to silane gas, and may be a disilane, for example. Next, temperature 500 [°C] ** et al. [550] [°C] Annealing of 100 hours is performed from time 10 minutes, and crystallization of the amorphous silicon in contact with the active region 4, i.e., solid phase epitaxial growth, is performed (drawing 3 (b)).

[0041]At this time, the silicon substrate 1 which is a ground in the amorphous silicon layer (single crystal regions 7a) on the active region 4 in contact with the single crystal silicon substrate 1 surface serves as a kind of crystallization, Although crystallization progresses early, by the amorphous silicon layer (amorphous field 8a) on the isolation region 2 currently formed by other SiO_2 etc., crystallization did not take place easily, and while it has been an amorphous silicon, it remains.

[0042]Next, it etches with the silicon etching liquid containing fluoric acid (HF) and nitric acid (HNO_3). Without almost etching the single-crystal-silicon portion 7a formed in the active region 4, only the amorphous silicon portion 8a formed in the isolation region 2 is etched selectively, and is removed. Thereby, the low-impurity-concentration silicon layer 9a is formed only in the active region 4 (drawing 3 (c)).

[0043]The desirable presentations of said silicon etching liquid are 0.5 to fluoric acid (49-% of the weight HF content) 1.5 volume %, five to water 15 volume %, 30 to nitric acid (70-% of the weight HNO_3 content) 50 volume %, and 30 to acetic acid 50 volume %. The still more desirable presentations of said silicon etching liquid are fluoric acid (49-% of the weight HF content) 0.92 volume %, water 8.18 volume %, nitric acid (70-% of the weight HNO_3 content) 45.45 volume %, and acetic acid 45.45 volume %.

[0044]And it processes henceforth like the process of drawing 2 (a) of a 1st embodiment of the above or later. Thus, without being based on selective epitaxial growth by performing the above-mentioned process by selective etching with non selection low-impurity-concentration amorphous silicon deposition and crystallization annealing. The low-impurity-concentration silicon layer 9 can be formed only in the active region 4 at epitaxial.

[0045]Therefore, even if MOSFET formed by being able to obtain a operation effect equivalent to a 1st embodiment of the above also in this case, and doing in this way is also a short gate size, it can inhibit a short channel effect and can also control the mismatch of the threshold voltage V_{th} . Next, a 3rd embodiment of this invention is described.

[0046]This 3rd embodiment applies this invention to the lased source drain art of a source drain area. That is, as shown in drawing 4, after forming the isolation film (LOCOS) 22 on the silicon substrate 21 and forming the well layer which is not illustrated, by a publicly known method, the gate dielectric film 26 is formed, on this, a gate material is made to deposit, these are patterned and the gate electrode 25 is formed. And low concentration ion implantation is performed, the side wall spacer 27 is formed continuously, high concentration ion implantation is performed again and the source and the drain area 28 of LDD structure are formed (drawing 4 (a)).

[0047]Next, by fluoric acid processing, after an active region, i.e., the field which silicon substrates 21 other than isolation region 22 have exposed, exposes the silicon substrate 21 surface, it introduces the silicon substrate 21 into a low pressure CVD system, and it is 800. [°C] ** et al. [950] H_2 (hydrogen) annealing of [°C] removes the natural oxidation film on said source drain area 28.

[0048]Next, the gaseous mixture containing Silane, disilanes, or those gas is used as a raw material, and it is the pressure 0.01. [Torr] ** et al. [0.5] [Torr] Temperature 350 [°C] ** et al. [600] It is the thickness 20 in [μm] the entire wafer surface which includes the source drain area 28 with the low-pressure CVD method of [°C] non selection. [nm] ** et al. [200] The silicon layer 29 of [nm] is deposited.

[0049]Although the single crystal silicon 30 grows up to be epitaxial from the silicon substrate 21 which is a ground in the source drain area 28 which the silicon substrate 21 has exposed at this

time, The silicon substrate 21 is not exposed and the amorphous silicon 31 grows up to be a field of others which are covered by SiO_2 , SiN , etc. (drawing 4 (b)). The operation means of deposition of the silicon layer 29 for operation of this invention is not restricted to said low-pressure CVD method. They may be the decompression RTP method, a UHV-CVD method, and an ordinary pressure CVD method.

[0050]Next, it etches using the silicon etching liquid containing fluoric acid (HF) and nitric acid (HNO_3). Without almost etching the single-crystal-silicon part 30 formed in the source drain area 28, only the amorphous silicon portion 31 formed in other fields is etched selectively, and is removed. Thereby, the silicon layer 32 is formed only in the source drain area 28 (drawing 4 (c)).

[0051]The desirable presentations of said silicon etching liquid are 0.5 to fluoric acid (49-% of the weight HF content) 1.5 volume %, five to water 15 volume %, 30 to nitric acid (70-% of the weight HNO_3 content) 50 volume %, and 30 to acetic acid 50 volume %. The still more desirable presentations of said silicon etching liquid are fluoric acid (49-% of the weight HF content) 0.92 volume %, water 8.18 volume %, nitric acid (70-% of the weight HNO_3 content) 45.45 volume %, and acetic acid 45.45 volume %.

[0052]Next, according to the publicly known Salicide art, the metal silicide 33, for example, cobalt silicide, is formed in the source drain area 28. That is, by performing stress relief heat treatment which formed the metal membrane (cobalt), for example on the wafer, silicide formation of the silicon layer 32 of the source drain area 28 is carried out, and metal membranes other than source drain area 28 which was unreacted and remained after that are removed selectively. Thereby, the metal silicide 33 is formed only in the source drain area 28, and the Salicide transistor is formed.

[0053]And the process after publicly known interlayer insulation film formation and metallic wiring formation is performed. Thus, the silicon layer 32 can be formed only in the source drain area 28 by non selection silicon deposition and selective etching, without being based on selective epitaxial growth by the above process. Therefore, as compared with the former, it can form easily also in this case, and can form at low temperature more.

[0054]Since it can carry out without using chlorine system gas, it is avoidable to need a great labor for mechanical maintenance. Next, a 4th embodiment of this invention is described. After this 4th embodiment makes a low-impurity-concentration amorphous silicon layer deposit, it anneals this and it is made to crystallize an amorphous silicon. Identical codes are given to the same part as a 3rd embodiment of the above, and the detailed explanation is omitted.

[0055]That is, as shown in drawing 5, the well layer which does not form and illustrate the isolation film (LOCOS) 22 to the silicon substrate 21 by a publicly known method is formed like a 3rd embodiment of the above, the gate dielectric film 26 and a gate material are formed, and the gate electrode 25 is formed. And after performing low concentration ion implantation, the side wall spacer 27 is formed, high concentration ion implantation is performed and the source drain diffusion layer 28 is formed (drawing 5 (a)).

[0056]Next, after exposing only the silicon substrate 21 surface of said source drain area 28 by fluoric acid processing, the silicon substrate 21 is introduced into a low pressure CVD system, and it is 800. [**] ** et al. [950] H_2 (hydrogen) annealing of [**] removes the natural oxidation film on said source drain area 28. Next, Silane is made into material gas and it is the pressure 0.1. [Torr] ** et al. [0.5] [Torr] Temperature 500 [**] ** et al. [550] It is the thickness 20 in [the entire wafer surface which includes the source drain area 28 with the low-pressure CVD method of [**]] non selection. [nm] ** et al. [200] The amorphous silicon layer 29a of [nm] is deposited (drawing 5 (b)).

[0057]In operation of this invention, the material gas for deposition of the amorphous silicon layer 29a may not be limited to silane gas, and may be a disilane, for example. Next, temperature 500 [**] ** et al. [550] [**] Annealing of 100 hours is performed from time 10 minutes, and the amorphous silicon in contact with the source drain area 28 is crystallized. At this time, the silicon substrate which is a ground in the amorphous silicon layer 30a on the source drain area 28 in contact with the single crystal silicon substrate 21 surface serves as a kind of

crystallization, Although crystallization progresses early, by the amorphous silicon layer 31a on the isolation region currently formed by other SiO_2 etc., crystallization did not take place easily, and while it has been an amorphous silicon, it remains.

[0058]Next, it etches using the silicon etching liquid containing fluoric acid (HF) and nitric acid (HNO_3). Without almost etching the single-crystal-silicon portion 30a formed in the source drain area 28, only the amorphous silicon portion 31a formed in other fields is etched selectively, and is removed. Thereby, the silicon layer 32a is formed only in the source drain area 28 (drawing 6 (a)).

[0059]The desirable presentations of said silicon etching liquid are 0.5 to fluoric acid (49-% of the weight HF content) 1.5 volume %, five to water 15 volume %, 30 to nitric acid (70-% of the weight HNO_3 content) 50 volume %, and 30 to acetic acid 50 volume %. The still more desirable presentations of said silicon etching liquid are fluoric acid (49-% of the weight HF content) 0.92 volume %, water 8.18 volume %, nitric acid (70-% of the weight HNO_3 content) 45.45 volume %, and acetic acid 45.45 volume %.

[0060]And henceforth, like a 3rd embodiment of the above, it is performed by the process after drawing 4 (d) and by the publicly known Salicide art. The metal silicide 33, for example, cobalt silicide, is formed in the source drain area 28 (drawing 6 (b)), and a formation process, a metallic wiring process, etc. of an interlayer insulation film are performed further. Thus, the silicon layer 32a can be formed only in the source drain area 28 by non selection silicon deposition and selective etching, without being based on selective epitaxial growth by the above process.

[0061]Therefore, a operation effect equivalent to a 3rd embodiment of the above can be obtained also in this case. Although the case where a silicon substrate was used in each above-mentioned embodiment as a base which forms an element was explained, It cannot be overemphasized that what is called SOI (silicon on insulator) structure that forms a single crystal silicon layer on an insulating substrate, and uses this single crystal silicon layer as the base for element formation is also applicable.

[0062]In each above-mentioned embodiment, although the case where a MOS type field effect transistor was formed was explained, if it is an element which has not only this but a process which grows epitaxially selectively, it is applicable.

[0063]

[Effect of the Invention]As explained above, according to the invention concerning claim 1 thru/or claim 5 of this invention. By combining deposition of the semiconductor layer by the non selection CVD method to the field which the single crystal semiconductor surface has exposed, and the field which has not been exposed, and the selective etching of the field which the single crystal semiconductor surface has not exposed, Since it can form only in the field which the single crystal semiconductor surface has exposed easily as compared with the case where a selective-epitaxial-growth method etc. are used since a semiconductor layer can be formed selectively and the gas of a chlorine system is not used for it, reduction of the labors which device control of maintenance takes can be aimed at.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a sectional view showing a part of manufacturing process of the MOS type field effect transistor which applied a 1st embodiment of this invention.

[Drawing 2]It is a continuation of drawing 1.

[Drawing 3]It is a sectional view showing a part of manufacturing process of the MOS type field effect transistor which applied a 2nd embodiment of this invention.

[Drawing 4]It is a sectional view showing a part of manufacturing process of the MOS type field effect transistor which applied a 3rd embodiment of this invention.

[Drawing 5]It is a continuation of drawing 4.

[Drawing 6]It is a sectional view showing a part of manufacturing process of the MOS type field effect transistor which applied a 4th embodiment of this invention.

[Drawing 7]It is a sectional view showing a part of manufacturing process of the conventional MOS type field effect transistor.

[Drawing 8]It is a sectional view showing a part of manufacturing process of the conventional MOS type field effect transistor.

[Description of Notations]

- 1 Silicon substrate
- 4 Active region
- 6 6a Low-impurity-concentration silicon layer
- 7 and 7a single crystal silicon
- 8 8a Amorphous silicon
- 9 9a Low-impurity-concentration silicon layer
- 10 Gate dielectric film
- 12 Gate electrode
- 21 Silicon substrate
- 25 Gate electrode
- 26 Gate dielectric film
- 28 Source and a drain area
- 29 and 29a silicon layer
- 30 and 30a single crystal silicon
- 31 31a Amorphous silicon
- 32 and 32a silicon layer
- 33 Metal silicide

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

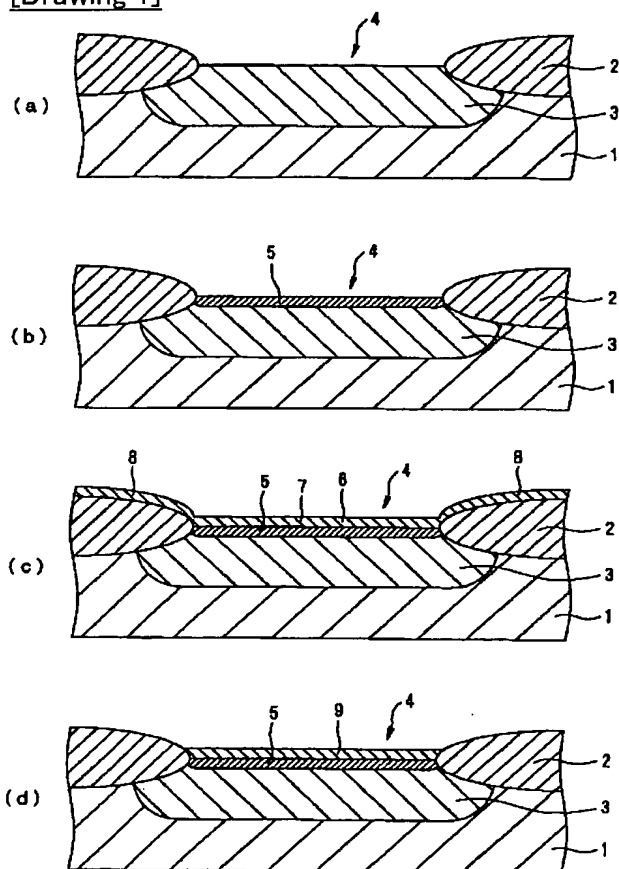
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

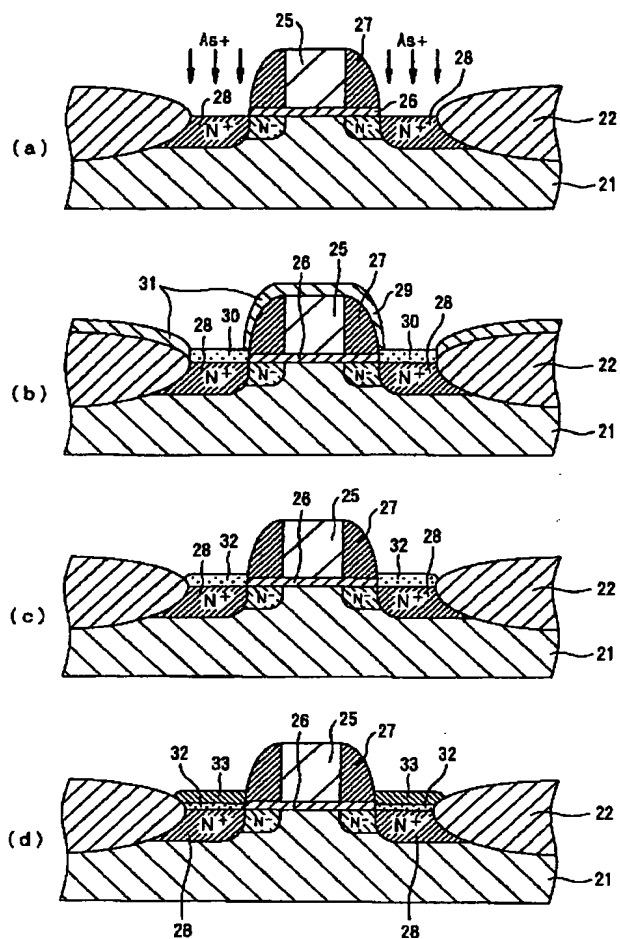
3.In the drawings, any words are not translated.

DRAWINGS

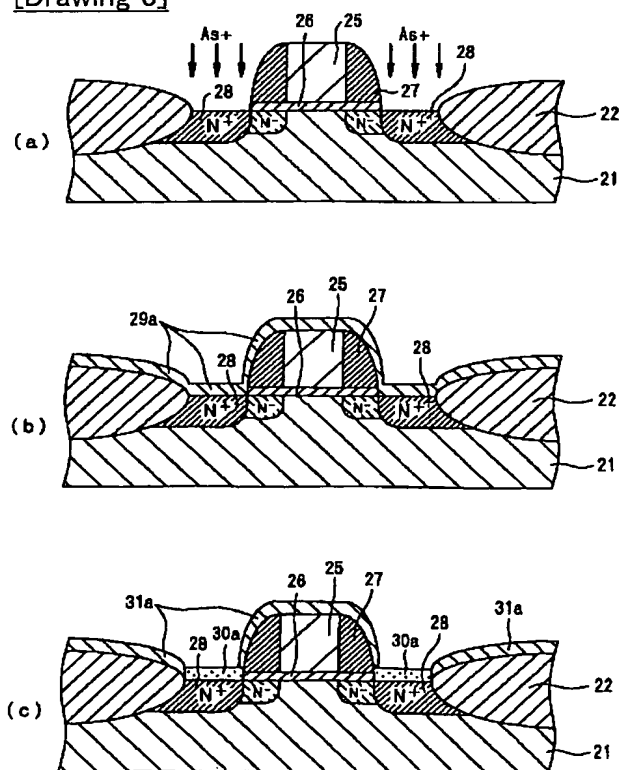
[Drawing 1]



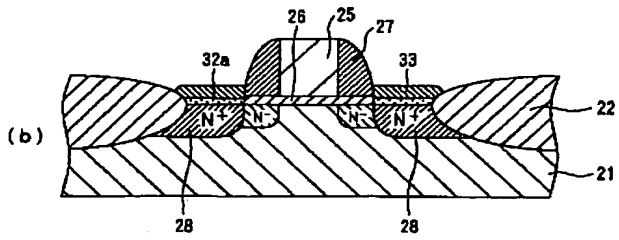
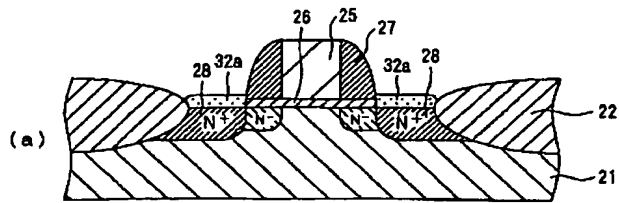
[Drawing 2]



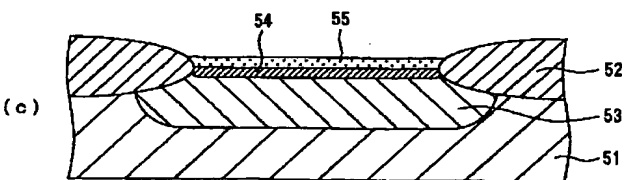
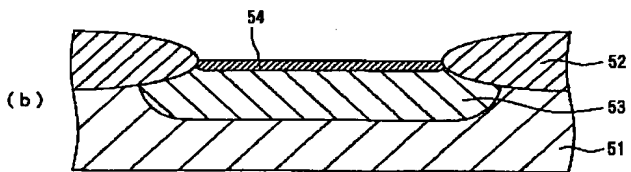
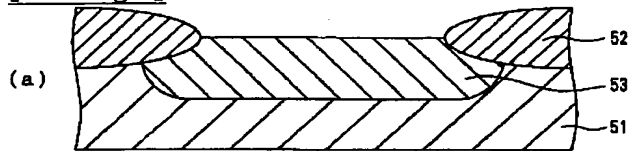
[Drawing 5]



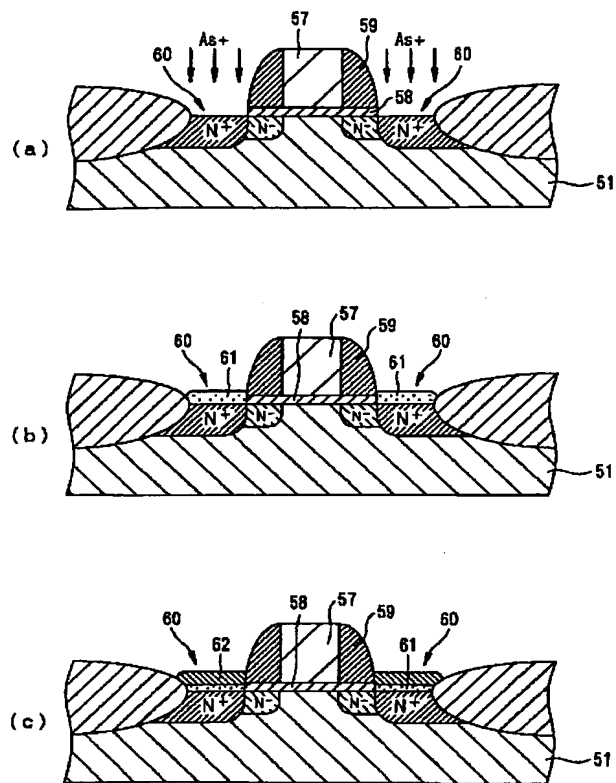
[Drawing 6]



[Drawing 7]



[Drawing 8]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-25972

(P2002-25972A)

(43) 公開日 平成14年1月25日 (2002. 1. 25)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L	21/306	H 0 1 L 21/20	5 F 0 4 0
	21/20	21/205	5 F 0 4 3
	21/205	21/306	B 5 F 0 4 5
	29/78	29/78	3 0 1 H 5 F 0 5 2
	21/336		3 0 1 S 5 F 1 1 0
審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く			

(21) 出願番号 特願2000-202809 (P2000-202809)

(22) 出願日 平成12年7月4日 (2000. 7. 4)

(71) 出願人 594021175

旭化成マイクロシステム株式会社

東京都新宿区西新宿三丁目7番1号

(72) 発明者 戸板 真人

宮崎県延岡市中川原町5丁目4960番地 旭

化成マイクロシステム株式会社内

(74) 代理人 100066980

弁理士 森 哲也 (外2名)

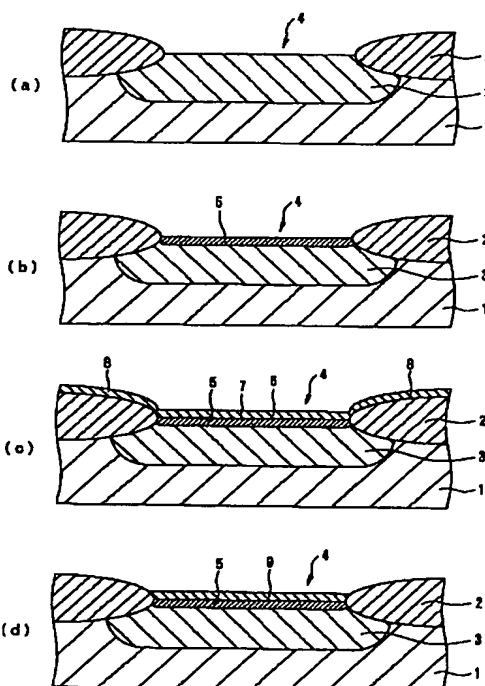
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 選択エピタキシャル成長法とは異なる方法で、選択的にエピタキシャル層を容易に形成し、且つ装置の維持管理に要する労力削減を図る。

【解決手段】 シリコン基板1に素子分離領域2及びウェル層3を形成した後、素子分離領域2及びアクティブ領域4を含む領域にCVD法を用いて低不純物濃度のシリコン層6を堆積させる。このとき、シリコン基板1が露出しているアクティブ領域5にはエピタキシャルに単結晶シリコンが成長するが、素子分離領域2にはアモルファスシリコンが成長する。その後、フッ酸と硝酸とを含むエッチング液を用い、アクティブ領域5に形成された単結晶シリコン部分をほとんどエッチングすることなく素子分離領域2に形成されたアモルファスシリコンのみを選択的にエッチングして除去する。これにより、アクティブ領域5にのみエピタキシャル層が形成される。



【特許請求の範囲】

【請求項1】 半導体基体上に形成された単結晶半導体層の表面が露出している第1の領域と前記単結晶半導体層の表面が露出していない第2の領域とに、非選択的なCVD法を用いて半導体層を堆積させる堆積工程と、当該堆積工程で堆積させた半導体層のうち前記第2の領域上に形成された半導体層のみを選択的にエッチングして除去する選択エッチング工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項2】 前記第1の領域は単結晶シリコン層の表面が露出している領域であり、前記第2の領域はシリコン酸化膜又はシリコン窒化膜の絶縁膜が露出している領域であって、前記堆積工程は、非選択的なCVD法を用いて前記第1の領域には単結晶シリコンをエピタキシャル成長させ且つ前記第2の領域にはアモルファスシリコンを堆積させる工程であり、前記選択エッチング工程は、フッ酸及び硝酸を含むエッチング液によるウェットエッチングにより前記第2の領域上に形成されたアモルファスシリコン層のみを選択的にエッチングして除去する工程であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第1の領域は単結晶シリコン層の表面が露出している領域であり、前記第2の領域はシリコン酸化膜又はシリコン窒化膜の絶縁膜が露出している領域であって、前記堆積工程は、非選択的なCVD法を用いて前記第1及び第2の領域にアモルファスシリコンを堆積させた後、アニールにより前記第1の領域に堆積させたアモルファスシリコン層のみを結晶化する工程であり、前記選択エッチング工程は、フッ酸及び硝酸を含むエッチング液によるウェットエッチングにより前記第2の領域上に形成されたアモルファスシリコン層のみを選択的にエッチングして除去する工程であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記エッチング液の組成はフッ酸（49重量％HF含有）0.5～1.5体積％、水5～15体積％、硝酸（70重量％HNO₃含有）30～50体積％、酢酸30～50体積％であることを特徴とする請求項2又は3に記載の半導体装置の製造方法。

【請求項5】 前記半導体装置は、アナログ回路を構成する半導体装置であることを特徴とする請求項1乃至4の何れかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体基体表面の単結晶半導体表面が露出している領域にのみ、選択的に半導体層を形成するようにした半導体装置の製造方法に関する。

【0002】

【従来の技術】一般に、MOS型電解効果トランジスタ（MOSFET）においては、そのゲート寸法が短くなるにつれて、ショートチャネル効果という好ましくない現象が現れることが知られている。このショートチャネル効果を抑制するための手段として、MOSFETのチャネル領域に不純物濃度の著しく低いシリコン層をエピタキシャル成長させる方法が提案されている。

【0003】また、MOSFETのデバイス寸法が小さくなるにつれて、個々のトランジスタのしきい値電圧 V_{th} の統計的バラツキ（ミスマッチ）が大きくなり、このしきい値電圧 V_{th} のミスマッチは回路動作に不具合を生じさせるため、デバイス寸法の小さなMOSFETを用いて回路を構成する際の支障となっている。このしきい値電圧 V_{th} のミスマッチを抑制するための手段としても、MOSFETのチャネル領域に不純物濃度の著しく低いシリコン層をエピタキシャル成長させる方法が提案されている。

【0004】ところで、この不純物濃度の著しく低いシリコン層をエピタキシャル成長させる工程は、例えば以下の様に行われる。すなわち、図7（a）に示すように、シリコン基板51上に公知のLOCOSまたはSTI（シャロー・トレンチ・アイソレーション）等の方法により素子分離領域52を形成し、Nウェル又はPウェル層53を形成した後、アクティブ領域つまり、素子分離領域52以外の、シリコン基板51が露出している領域に犠牲酸化膜としてシリコン酸化膜を形成した後に、しきい値電圧調整用のホウ素等のイオン注入を行う。そして、シリコン酸化膜を除去する。

【0005】これにより、しきい値電圧調整用のホウ素イオンドープ層54が形成される（図7（b））。その後、アクティブ領域のシリコン基板51表面のみを露出させ、アクティブ領域のシリコン基板51表面のみに選択的に低不純物濃度シリコン層55をエピタキシャル成長させる（図7（c））。

【0006】ここで、この選択エピタキシャル成長は、既にドープされているシリコン基板51からの不純物の拡散を抑制するため、850〔℃〕以下の低温で行わなければならない、そのためには、超高真空CVD（UHV-CVD）装置などが使われている。例えば、到達真空度 $1\text{E}-8$ 〔Torr〕以下のUHV-CVD装置を用い、ジシランガスもしくはジシランガスと塩素との混合ガスを用い、600〔℃〕から850〔℃〕の温度で行われる。

【0007】そして、その後ゲート絶縁膜を形成した後、ポリシリコンを材料として、公知のリソグラフィ、エッチングによりゲート電極を形成する。多くの場合、ゲート電極の電気抵抗値を低下させるため、ポリシリコン上にはさらに高融点金属シリサイドが形成される。その後、ソース、ドレイン領域が形成され、絶縁膜が形成された後、金属材料による配線工程が行われてい

る。

【0008】また、前述のMOSFETのショートチャネル効果抑制のためには、ソース・ドレインの拡散層を浅くし、シャロージャンクション（浅い接合）とする必要がある。しかしながら、チタンやコバルトなどの金属をソース・ドレイン領域のシリコン表面に作用させ、金属シリサイドを形成するシリサイド工程を実施する場合においては、当該領域の、表面からある深さまでのシリコンが消費されるため、浅い接合とすることが困難である。そのため、レイズド・ソース・ドレインという方法

【0009】つまり、図8に示すように、半導体基板51上に公知の手順にしたがってゲート絶縁膜58を形成しこの上にゲート電極57を形成した後、低濃度のイオン注入を行った後、サイドウォールスペーサ59を形成し、再度高濃度のイオン注入を行って高濃度及び低濃度拡散領域からなるソース・ドレイン領域60を形成する（図8（a））。その後、ソース・ドレイン領域60のみシリコン基板51表面を露出させ、この領域への選択エピタキシャル成長法によりシリコン層61を成長させておく（図8（b））。そして、このシリコン層61をシリサイド工程で消費されるシリコンに充て、例えばコバルト等のシリサイド62を形成するようにしている（図8（c））。

【0010】このソース・ドレイン領域60への選択エピタキシャル成長も、前述のチャネル領域への選択エピタキシャル成長の場合と同様に、超高真空CVD（UHV-CVD）装置などが使われている。つまり、例えば到達真空度 $1\text{E}-8$ [Torr] 以下のUHV-CVD装置を用い、ジシランガスもしくはジシランガスと塩素との混合ガスを用いて、 $600\text{ [}^\circ\text{C]}$ から $850\text{ [}^\circ\text{C]}$ の温度で行われている。

【0011】

【発明が解決しようとする課題】しかしながら、前記UHV-CVD装置を用いて前述のチャネル領域への選択エピタキシャル成長或いはソース・ドレイン領域への選択エピタキシャル成長を行うには、特定の領域にのみ選択的にエピタキシャル成長を行う必要があり、精度が要求されるため、制御が困難となっている。

【0012】また、ジクロロシランまたはジクロロシランと塩酸ガスと等を用いたCVD装置にて選択エピタキシャル成長を行う試みもなされているが、この場合、低温でのシリコン膜の堆積が困難であったり、塩素系のガス、特に塩酸ガスが系内の金属部分を腐食させて金属汚染の原因となるなど、やはり装置の維持管理に多大な労力を必要としている。

【0013】そこで、この発明は上記従来の未解決の問題点に着目してなされたものであり、塩素系ガスを用いることなく、容易に、半導体基体表面が露出している部分のみに選択的にエピタキシャルなシリコン層を形成す

ることの可能な半導体装置の製造方法を提供することを目的としている。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明の請求項1に係る半導体装置の製造方法は、半導体基体上に形成された単結晶半導体層の表面が露出している第1の領域と前記単結晶半導体層の表面が露出していない第2の領域とに、非選択的なCVD法を用いて半導体層を堆積させる堆積工程と、当該堆積工程で堆積させた半導体層のうち前記第2の領域上に形成された半導体層のみを選択的にエッチングして除去する選択エッチング工程と、を備えることを特徴としている。

【0015】また、請求項2に係る半導体装置の製造方法は、前記第1の領域は単結晶シリコン層の表面が露出している領域であり、前記第2の領域はシリコン酸化膜又はシリコン窒化膜の絶縁膜が露出している領域であって、前記堆積工程は、非選択的なCVD法を用いて前記第1の領域には単結晶シリコンをエピタキシャル成長させ且つ前記第2の領域にはアモルファスシリコンを堆積させる工程であり、前記選択エッチング工程は、フッ酸及び硝酸を含むエッチング液によるウェットエッチングにより前記第2の領域上に形成されたアモルファスシリコン層のみを選択的にエッチングして除去する工程であることを特徴としている。

【0016】また、請求項3に係る半導体装置の製造方法は、前記第1の領域は単結晶シリコン層の表面が露出している領域であり、前記第2の領域はシリコン酸化膜又はシリコン窒化膜の絶縁膜が露出している領域であって、前記堆積工程は、非選択的なCVD法を用いて前記第1及び第2の領域にアモルファスシリコンを堆積させた後、アニールにより前記第1の領域に堆積させたアモルファスシリコン層のみを結晶化する工程であり、前記選択エッチング工程は、フッ酸及び硝酸を含むエッチング液によるウェットエッチングにより前記第2の領域上に形成されたアモルファスシリコン層のみを選択的にエッチングして除去する工程であることを特徴としている。

【0017】また、請求項4に係る半導体装置の製造方法は、前記請求項2又は請求項3に記載の半導体装置の製造方法において、前記エッチング液の組成はフッ酸（49重量%HF含有）0.5～1.5体積%、水5～15体積%、硝酸（70重量% HNO_3 含有）30～50体積%、酢酸30～50体積%であることを特徴としている。

【0018】さらに、請求項5に係る半導体装置の製造方法は、請求項1乃至4の何れかに記載の半導体装置の製造方法において、前記半導体装置は、アナログ回路を構成する半導体装置であることを特徴としている。この請求項1から請求項5に係る発明では、単結晶半導体表面が露出している第1の領域と、絶縁物などで覆われて

いるため単結晶半導体表面が露出していない第2の領域の両方が共存する、シリコン基板或いは、絶縁基板の上に単結晶シリコン層を形成したSOI基板等といった半導体基体において、単結晶半導体表面が露出している第1の領域と露出していない第2の領域の両方に非選択的なCVD法により半導体層が堆積され、その後、第2の領域に堆積させた半導体層のみを選択的にエッチングして除去することによって、第1の領域にのみ半導体層が形成されることになる。

【0019】つまり、例えば半導体層を堆積させるときに、単結晶シリコン層等の単結晶半導体表面が露出している第1の領域には半導体層をエピタキシャル成長させ、シリコン酸化膜又はシリコン窒化膜の絶縁膜等といった単結晶半導体表面が露出していない第2の領域にはアモルファスシリコン層を形成するように半導体層を堆積させる。また例えば、第1及び第2の領域にアモルファスシリコン層を堆積させた後、これをアニールして単結晶シリコン層等の単結晶半導体表面が露出している第1の領域のアモルファスシリコン層のみを結晶化させる等を行う。

【0020】そして、例えば、フッ酸と硝酸とを含むエッチング液を用いてエッチングを行い、このときエッチング液の組成をフッ酸（49重量%HF含有）0.5～1.5体積%、水5～15体積%、硝酸（70重量% HNO_3 含有）30～50体積%、酢酸30～50体積%とすることによって、アモルファスシリコン層のみが選択的に除去され、すなわち、単結晶半導体表面が露出していない第2の領域のシリコン層のみが選択的に除去されて、第1の領域にのみシリコン層が形成されることになる。

【0021】したがって、非選択的に半導体層を形成した後これを選択的にエッチングを行うことにより、容易に、半導体基体表面が露出している第1の領域のみに半導体層を形成することができ、また、塩素系ガスを用いることなく実現することが可能となる。

【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。まず、第1の実施の形態を説明する。この第1の実施の形態は、MOSFETのチャネル領域のみにシリコン層をエピタキシャル成長させるようにしたものである。

【0023】図1に示すように、まず、シリコン基板1に、公知のLOCOSまたはSTI（シャロー・トレンチ・アイソレーション）等の方法により素子分離領域2を形成し、Nウェル層又はPウェル層3を形成する（図1（a））。そして、アクティブ領域4、つまり、素子分離領域2以外の、シリコン基板1が露出している領域に犠牲酸化膜としてのシリコン酸化膜を形成し、ここに、例えばホウ素イオン等のしきい値電圧 V_{th} 調整用のイオン注入を行った後に、シリコン酸化膜を除去す

る。これにより、アクティブ領域4にしきい値電圧調整用のホウ素イオンドープ層5が形成される（図1（b））。

【0024】このウェル形成としきい値電圧調整に用いるイオン注入により、シリコン基板1内のMOSFETのアクティブ領域4に、濃度 $1\text{E}16 [\text{cm}^{-3}]$ から $1\text{E}18 [\text{cm}^{-3}]$ のN型もしくはP型不純物、あるいはそれらの両方を含む、注入したイオンに応じた型の不純物層が形成されることになる。次に、フッ酸処理を行い、前記アクティブ領域4のシリコン基板1表面のみを露出させた後、低圧CVD装置にシリコン基板1を導入し、 $800 [^{\circ}\text{C}]$ から $850 [^{\circ}\text{C}]$ の H_2 （水素）アニールによって、前記アクティブ領域4上の自然酸化膜を除去する。

【0025】次に、シランまたはジシラン、あるいはそれらのガスを含む混合気体を原料として、圧力 $0.01 [\text{Torr}]$ から $0.5 [\text{Torr}]$ 、温度 $350 [^{\circ}\text{C}]$ から $600 [^{\circ}\text{C}]$ の低圧CVD法によって、第1の領域としてのアクティブ領域4と第2の領域としての素子分離領域2の両方に区別無く非選択的に膜厚 $20 [\text{nm}]$ から $100 [\text{nm}]$ 、不純物濃度 $1\text{E}14 [\text{cm}^{-3}]$ 以下の低不純物濃度シリコン層6の堆積を行う（堆積工程）。

【0026】この低不純物濃度シリコン層6内の不純物濃度は低濃度で有れば有るほど好ましく、 $1\text{E}13 [\text{cm}^{-3}]$ 以下であることが好ましい。この時、シリコン基板1が露出しているアクティブ領域4には下地であるシリコン基板1からエピタキシャルに単結晶シリコン7が成長するが、シリコン基板1が露出しておらず、表面が SiO_2 などで形成されている素子分離領域2にはアモルファスシリコン8が成長する（図1（c））。

【0027】なお、本発明の実施のための低不純物濃度シリコン層6の堆積の実施手段は、前記低圧CVD法に限られるものではなく、減圧RTP法、UHV-CVD法、常圧CVD法であっても良い。次に、フッ酸（HF）と硝酸（ HNO_3 ）とを含むシリコンエッチング液を用いてエッチングを行い、アクティブ領域4に形成された単結晶シリコン7部分をほとんどエッチングすることなく、素子分離領域2に形成されたアモルファスシリコン8部分のみを選択的にエッチングし、除去する。これによりアクティブ領域4にのみ低不純物濃度シリコン層9が形成される（図1（d））（選択エッチング工程）。

【0028】前記シリコンエッチング液の好ましい組成は、フッ酸（49重量%HF含有）0.5～1.5体積%、水5～15体積%、硝酸（70重量% HNO_3 含有）30～50体積%、酢酸30～50体積%である。また、前記シリコンエッチング液のさらに好ましい組成は、フッ酸（49重量%HF含有）0.92体積%、水8.18体積%、硝酸（70重量% HNO_3 含有）4

5. 45体積%、酢酸45.45体積%である。

【0029】そして、前記アクティブ領域4への低不純物濃度シリコン層9の形成工程以降の工程においては、不純物をドーパしたシリコン基板1から低不純物濃度エピタキシャルシリコン層9への不純物の拡散を抑制するため、全ての工程を850〔℃〕以下、好ましくは750〔℃〕以下の低温ファーンネス処理で行うか、850〔℃〕を越える温度での熱処理を行う場合にはRTA（ラピッド・サーマル・プロセッサ）装置を用いた3分以下の短時間処理で行う。

【0030】この条件下で、前記低不純物濃度シリコン層9を形成する工程に続いて、例えば、850〔℃〕以下、好ましくは750〔℃〕以下の熱酸化により2〔nm〕から40〔nm〕の膜厚のシリコン酸化膜をゲート絶縁膜10として形成する、図2（a））。本発明の実施にあたってはゲート絶縁膜10はシリコン酸化膜に限定されるものではなく、シリコン窒化膜、シリコン窒化酸化膜、金属酸化膜等の何れか、あるいはそれらを積層した多層膜であっても良い。

【0031】次に、公知の方法によりゲート材料として用いるポリシリコンを堆積させ、この堆積させたポリシリコン層11に、リンまたはホウ素のイオン注入またはオキシ塩化リンを用いたリン処理により不純物を導入する（図2（b））。次に、公知のリソグラフィ、エッチングを行い、ゲート電極12をパターンニングする（図2（c））。この結果形成されるゲート電極12の長さは、発明が適用されるプロセス世代、回路設計の都合に応じてことなることは言うまでもないが、0.1〔μm〕から10.0〔μm〕であればよい。この0.1〔μm〕から10.0〔μm〕の範囲であれば、通常要求されるアナログ回路に用いることができる。

【0032】また、ゲート電極12の上部に、ゲート電極12の電気抵抗値を低下させる目的で高融点金属シリサイドを形成しても良い。次に、公知の方法によって、N⁻イオンの注入を行い低濃度拡散領域13を形成した後、サイドウォールスペーサ14を形成し、さらにN⁻イオンの注入を行って高濃度拡散領域15を形成し、ソース及びドレイン領域を形成する（図2（d））。

【0033】ドーパした不純物の活性化は、温度950〔℃〕以上1150〔℃〕以下、時間20秒以上3分以下のRTA（ラピッド・サーマル・プロセッサ）装置を用いた短時間の熱処理で行う。最後に、公知の層間絶縁膜形成及び金属配線形成以降の工程を行う。このように、以上の工程を行うことによって、選択エピタキシャル成長によることなく、非選択的な低不純物濃度シリコンデポジションと選択エッチングとを行うことによって、アクティブ領域4のみに低不純物濃度シリコン層9をエピタキシャルに形成することができる。

【0034】よって、低不純物濃度シリコンデポジションを非選択的に行うことにより、単結晶シリコン7とア

モルファスシリコン8とが形成され、また、フッ酸（HF）と硝酸（HNO₃）とを含むシリコンエッチング液を用いてエッチングを行うことによりアモルファスシリコン8部分のみがエッチングされて、アクティブ領域4のみに単結晶シリコン7が残るから、選択エピタキシャル成長をする場合に比較して、容易に形成することができる。また、低不純物濃度シリコン層9の形成時の制御条件は、選択エピタキシャル成長をする場合に比較して厳しくないから、より温度条件を低く設定することができる。

【0035】また、塩素系ガスを用いずに行うことができるから、機械的な保守に多大な労力を必要とすることを回避することができる。また、このようにして形成されたMOSFETは、アクティブ領域4に不純物濃度の低いシリコン層がエピタキシャル成長されているから、ゲート寸法が短くてもショートチャネル効果が抑制されると共に、しきい値電圧V_{th}のばらつきつまりミスマッチも抑制される。よって、微細なMOSFETを得ることができると共に、MOSFET間のミスマッチが低減されるから、高精度なアナログ回路を得ることができる。

【0036】次に、本発明の第2の実施の形態を説明する。この第2の実施の形態は、低不純物濃度アモルファスシリコン層を堆積させた後、これをアニールしアモルファスシリコンを結晶化させるようにしたものである。なお、上記第1の実施の形態と同一部には同一符号を付与しその詳細な説明は省略する。

【0037】すなわち、図3（a）に示すように、シリコン基板1の上に、公知のLOCOSまたはSTI（シャロー・トレンチ・アイソレーション）等の方法により素子分離領域2を形成し、Nウェル層又はPウェル層3を形成した後、アクティブ領域4にしきい値電圧V_{th}調整用のイオン注入を行い、しきい値電圧調整用のホウ素ドーパ層5を形成する。

【0038】このウェル形成としきい値電圧V_{th}調整に用いるイオン注入により、シリコン基板1内で、MOSFETのアクティブ領域4には濃度1E16〔cm⁻³〕から1E18〔cm⁻³〕のN型もしくはP型不純物、あるいはそれらの両方を含む、導入した不純物に応じた型の不純物層が形成される。次に、フッ酸処理により前記アクティブ領域4のシリコン基板1表面のみを露出させた後、低圧CVD装置にシリコン基板1を導入し、800〔℃〕から850〔℃〕のH₂（水素）アニールによって、前記アクティブ領域4上の自然酸化膜を除去する。

【0039】次に、シランを原料ガスとし、圧力0.1〔Torr〕から0.5〔Torr〕、温度500〔℃〕から550〔℃〕の低圧CVD法によって、アクティブ領域4と素子分離領域2との両方に区別無く非選択的に膜厚20〔nm〕から100〔nm〕、不純物濃

10

20

30

40

50

度 $1\text{E}14\text{ [cm}^{-3}\text{]}$ 以下の低不純物濃度アモルファスシリコン層6aを堆積させる。低不純物濃度シリコン層6a内の不純物濃度は低濃度であれば有るほど好ましく、 $1\text{E}13\text{ [cm}^{-3}\text{]}$ 以下であることが好ましい。

【0040】なお、本発明の実施にあたっては、アモルファスシリコン6a堆積のための原料ガスはシランガスに限定されるものではなく、例えばジシランであっても良い。次に温度 $500\text{ [}^\circ\text{C]}$ から $550\text{ [}^\circ\text{C]}$ 、時間10分から100時間のアニールを行い、アクティブ領域4に接触しているアモルファスシリコンの結晶化、つまり固層エピタキシャル成長を行う(図3(b))。

【0041】この時、単結晶シリコン基板1表面と接触しているアクティブ領域4上のアモルファスシリコン層(単結晶領域7a)では下地であるシリコン基板1が結晶化の種となり、早く結晶化が進むが、その他の SiO_2 などで形成されている素子分離領域2上のアモルファスシリコン層(アモルファス領域8a)では結晶化が起こりにくく、アモルファスシリコンのまま残っている。

【0042】次に、フッ酸(HF)と硝酸(HNO_3)を含むシリコンエッチング液によりエッチングを行い、アクティブ領域4に形成された単結晶シリコン部分7aをほとんどエッチングすることなく、素子分離領域2に形成されたアモルファスシリコン部分8aのみを選択的にエッチングし、除去する。これにより、アクティブ領域4にのみ低不純物濃度シリコン層9aが形成される(図3(c))。

【0043】前記シリコンエッチング液の好ましい組成は、フッ酸(49重量%HF含有)0.5~1.5体積%、水5~15体積%、硝酸(70重量% HNO_3 含有)30~50体積%、酢酸30~50体積%である。また、前記シリコンエッチング液のさらに好ましい組成は、フッ酸(49重量%HF含有)0.92体積%、水8.18体積%、硝酸(70重量% HNO_3 含有)45.45体積%、酢酸45.45体積%である。

【0044】そして、以後、上記第1の実施の形態の図2(a)の工程以後と同様に処理を行う。このように、上記工程を行うことによって、選択エピタキシャル成長によることなく、非選択的な低不純物濃度アモルファスシリコンデポジションと、結晶化アニールと、選択エッチングによって、アクティブ領域4のみに低不純物濃度シリコン層9をエピタキシャルに形成できる。

【0045】よって、この場合も上記第1の実施の形態と同等の作用効果を得ることができ、また、このようにして形成されたMOSFETも、短いゲート寸法であっても、ショートチャネル効果を抑制することができ、且つしきい値電圧 V_{th} のミスマッチをも抑制することができる。次に、本発明の第3の実施の形態を説明する。

【0046】この第3の実施の形態は、本発明を、ソース・ドレイン領域のレイズド・ソース・ドレイン技術に適用したものである。すなわち、図4に示すように、公

知の方法により、シリコン基板21上に素子分離膜(LOCOS)22を形成し、図示しないウェル層を形成した後、ゲート絶縁膜26を形成しこの上にゲート材料を堆積させこれらをパターニングしてゲート電極25を形成する。そして、低濃度イオン注入を行い、続いてサイドウォールスペーサ27を形成して再度高濃度イオン注入を行って、LDD構造のソース及びドレイン領域28を形成する(図4(a))。

【0047】次に、フッ酸処理により、アクティブ領域、つまり、素子分離領域22以外のシリコン基板21が露出している領域のみ、シリコン基板21表面を露出させた後、低圧CVD装置にシリコン基板21を導入し、 $800\text{ [}^\circ\text{C]}$ から $950\text{ [}^\circ\text{C]}$ の H_2 (水素)アニールによって、前記ソース・ドレイン領域28上の自然酸化膜を除去する。

【0048】次に、シランまたはジシラン、あるいはそれらのガスを含む混合気体を原料として、圧力0.01[Torr]から0.5[Torr]、温度 $350\text{ [}^\circ\text{C]}$ から $600\text{ [}^\circ\text{C]}$ の低圧CVD法によって、ソース・ドレイン領域28を含むウエハー全面に非選択的に膜厚20[nm]から200[nm]のシリコン層29の堆積を行う。

【0049】この時、シリコン基板21が露出しているソース・ドレイン領域28には下地であるシリコン基板21からエピタキシャルに単結晶シリコン30が成長するが、シリコン基板21が露出しておらず、 SiO_2 や SiN などで覆われているその他の領域にはアモルファスシリコン31が成長する(図4(b))。なお、本発明の実施のためのシリコン層29の堆積の実施手段は、前記低圧CVD法に限られるものではなく、減圧RTP法、UHV-CVD法、常圧CVD法であっても良い。

【0050】次に、フッ酸(HF)と硝酸(HNO_3)を含むシリコンエッチング液を用いてエッチングを行い、ソース・ドレイン領域28に形成された単結晶シリコン部30をほとんどエッチングすることなく、その他の領域に形成されたアモルファスシリコン部分31のみを選択的にエッチングし、除去する。これによりソース・ドレイン領域28にのみシリコン層32が形成される(図4(c))。

【0051】前記シリコンエッチング液の好ましい組成は、フッ酸(49重量%HF含有)0.5~1.5体積%、水5~15体積%、硝酸(70重量% HNO_3 含有)30~50体積%、酢酸30~50体積%である。また、前記シリコンエッチング液のさらに好ましい組成は、フッ酸(49重量%HF含有)0.92体積%、水8.18体積%、硝酸(70重量% HNO_3 含有)45.45体積%、酢酸45.45体積%である。

【0052】次に、公知のサリサイド技術にしたがって、ソース・ドレイン領域28に、金属シリサイド33、例えばコバルト・シリサイドを形成する。つまり、

例えばウエハ上に金属膜（コバルト）を形成した後熱処理を行うことによって、ソース・ドレイン領域28のシリコン層32をシリサイド化し、その後、未反応で残ったソース・ドレイン領域28以外の金属膜を選択的に除去する。これにより、ソース・ドレイン領域28にのみ金属シリサイド33が形成され、シリサイドトランジスタが形成される。

【0053】そして、公知の層間絶縁膜形成及び金属配線形成以降の工程を行う。このように、以上の工程により、選択エピタキシャル成長によることなく、非選択的なシリコンデポジションと選択エッチングによって、ソース・ドレイン領域28のみにシリコン層32を形成することができる。したがって、この場合も従来に比較して容易に形成することができると共に、より低温で形成することができる。

【0054】また、塩素系ガスを用いずに行うことができるから、機械的な保守に多大な労力を必要とすることを回避することができる。次に、本発明の第4の実施の形態を説明する。この第4の実施の形態は、低不純物濃度アモルファスシリコン層を堆積させた後、これをアニールしアモルファスシリコンを結晶化させるようにしたものである。なお、上記第3の実施の形態と同一部には同一符号を付しその詳細な説明は省略する。

【0055】すなわち、図5に示すように、上記第3の実施の形態と同様にして、公知の方法により、シリコン基板21に素子分離膜（LOCOS）22を形成し、図示しないウェル層を形成し、ゲート絶縁膜26及びゲート材料を形成してゲート電極25を形成する。そして、低濃度イオン注入を行った後、サイドウォールスペーサ27を形成して高濃度イオン注入を行い、ソース・ドレイン拡散層28を形成する（図5（a））。

【0056】次に、フッ酸処理により前記ソース・ドレイン領域28のシリコン基板21表面のみを露出させた後、低圧CVD装置にシリコン基板21を導入し、800〔℃〕から950〔℃〕のH₂（水素）アニールによって、前記ソース・ドレイン領域28上の自然酸化膜を除去する。次にシランを原料ガスとし、圧力0.1〔Torr〕から0.5〔Torr〕、温度500〔℃〕から550〔℃〕の低圧CVD法によって、ソース・ドレイン領域28を含むウエハ全面に非選択的に膜厚20〔nm〕から200〔nm〕のアモルファスシリコン層29aの堆積を行う（図5（b））。

【0057】なお、本発明の実施にあたっては、アモルファスシリコン層29aの堆積のための原料ガスはシランガスに限定されるものではなく、例えばジシランであっても良い。次に、温度500〔℃〕から550

〔℃〕、時間10分から100時間のアニールを行い、ソース・ドレイン領域28に接触しているアモルファスシリコンの結晶化を行う。この時、単結晶シリコン基板21表面と接触しているソース・ドレイン領域28上の

アモルファスシリコン層30aでは下地であるシリコン基板が結晶化の種となり、早く結晶化が進むが、その他のSiO₂などで形成されている素子分離領域上のアモルファスシリコン層31aでは結晶化が起りにくく、アモルファスシリコンのまま残っている。

【0058】次に、フッ酸（HF）と硝酸（HNO₃）を含むシリコンエッチング液を用いてエッチングを行い、ソース・ドレイン領域28に形成された単結晶シリコン部分30aをほとんどエッチングすることなく、その他の領域に形成されたアモルファスシリコン部分31aのみを選択的にエッチングし、除去する。これにより、ソース・ドレイン領域28にのみシリコン層32aが形成される（図6（a））。

【0059】前記シリコンエッチング液の好ましい組成は、フッ酸（49重量％HF含有）0.5～1.5体積％、水5～15体積％、硝酸（70重量％HNO₃含有）30～50体積％、酢酸30～50体積％である。また、前記シリコンエッチング液のさらに好ましい組成は、フッ酸（49重量％HF含有）0.92体積％、水8.18体積％、硝酸（70重量％HNO₃含有）45.45体積％、酢酸45.45体積％である。

【0060】そして、以後、上記第3の実施の形態と同様に、図4（d）以後の工程が行われ、公知のシリサイド技術によって、ソース・ドレイン領域28に、金属シリサイド、例えばコバルト・シリサイド33が形成される（図6（b））、さらに、層間絶縁膜の形成工程及び金属配線工程等が行われる。このように、以上の工程により、選択エピタキシャル成長によることなく、非選択的なシリコンデポジションと選択エッチングによって、ソース・ドレイン領域28のみにシリコン層32aを形成することができる。

【0061】したがって、この場合にも上記第3の実施の形態と同等の作用効果を得ることができる。なお、上記各実施の形態においては、素子を形成する基体としてシリコン基板を用いた場合について説明したが、絶縁基板上に単結晶シリコン層を形成し、この単結晶シリコン層を素子形成用の基体とする、いわゆるSOI（シリコン・オン・インシュレータ）構造などでも適用できることはいうまでもない。

【0062】また、上記各実施の形態においては、MOS型電界効果トランジスタを形成するようにした場合について説明したがこれに限らず、選択的にエピタキシャル成長を行うような工程を有する素子であれば適用することができる。

【0063】

【発明の効果】以上説明したように、本発明の請求項1乃至請求項5に係る発明によれば、単結晶半導体表面が露出している領域及び露出していない領域への非選択的なCVD法による半導体層の堆積と、単結晶半導体表面が露出していない領域の選択的エッチングとを組み合わせ

ることにより、単結晶半導体表面が露出している領域のみに、選択的に半導体層を形成することができるから、選択エピタキシャル成長法等を用いる場合に比較して容易に形成することができ、また塩素系のガスを用いないから、装置維持管理に要する労力の削減を図ることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態を適用したMOS型電界効果トランジスタの製造工程の一部を示す断面図である。

【図2】 図1の続きである。

【図3】 本発明の第2の実施の形態を適用したMOS型電界効果トランジスタの製造工程の一部を示す断面図である。

【図4】 本発明の第3の実施の形態を適用したMOS型電界効果トランジスタの製造工程の一部を示す断面図である。

【図5】 図4の続きである。

【図6】 本発明の第4の実施の形態を適用したMOS型電界効果トランジスタの製造工程の一部を示す断面図である。

【図7】 従来のMOS型電界効果トランジスタの製造*

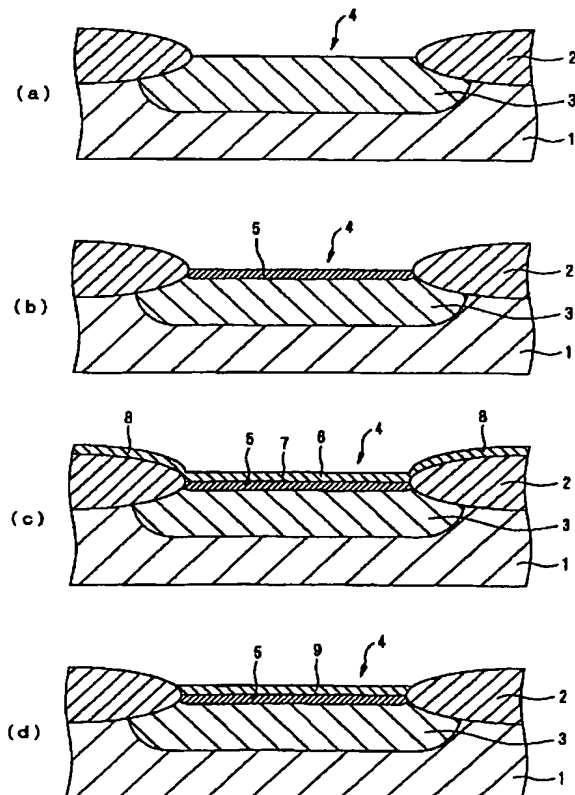
* 工程の一部を示す断面図である。

【図8】 従来のMOS型電界効果トランジスタの製造工程の一部を示す断面図である。

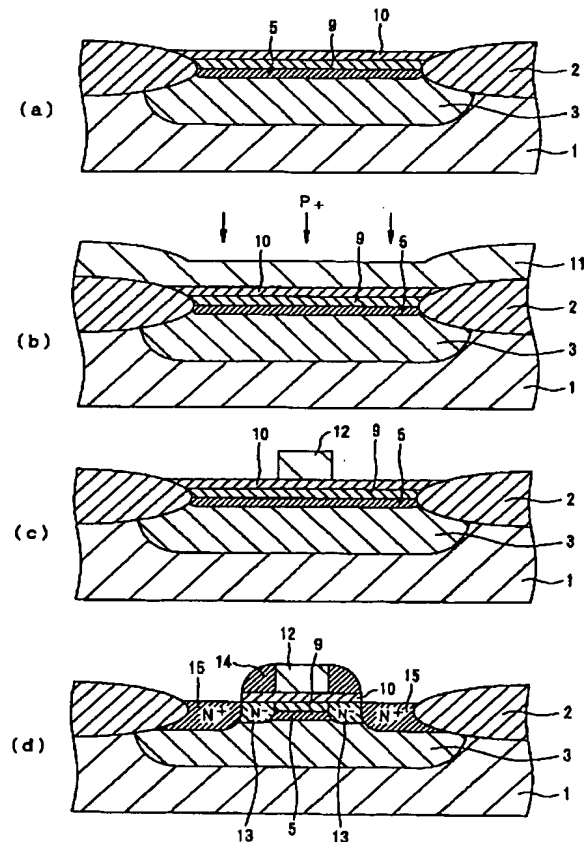
【符号の説明】

- 1 シリコン基板
- 4 アクティブ領域
- 6, 6a 低不純物濃度シリコン層
- 7, 7a 単結晶シリコン
- 8, 8a アモルファスシリコン
- 9, 9a 低不純物濃度シリコン層
- 10 ゲート絶縁膜
- 12 ゲート電極
- 21 シリコン基板
- 25 ゲート電極
- 26 ゲート絶縁膜
- 28 ソース及びドレイン領域
- 29, 29a シリコン層
- 30, 30a 単結晶シリコン
- 31, 31a アモルファスシリコン
- 32, 32a シリコン層
- 33 金属シリサイド

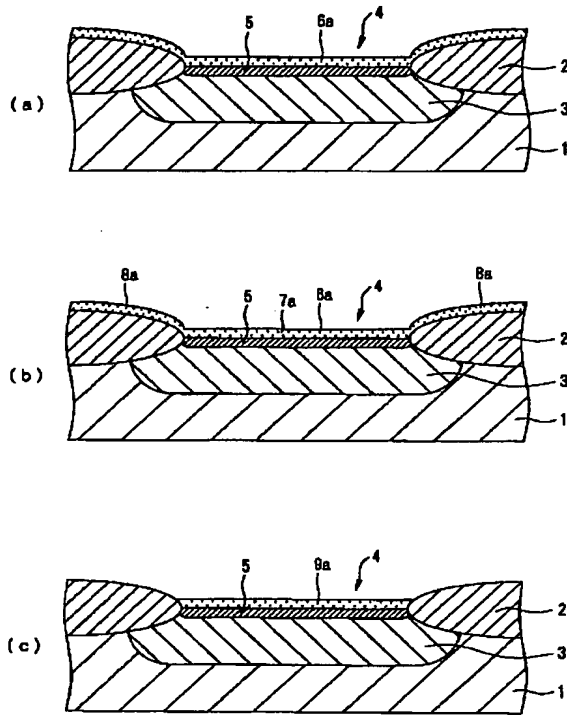
【図1】



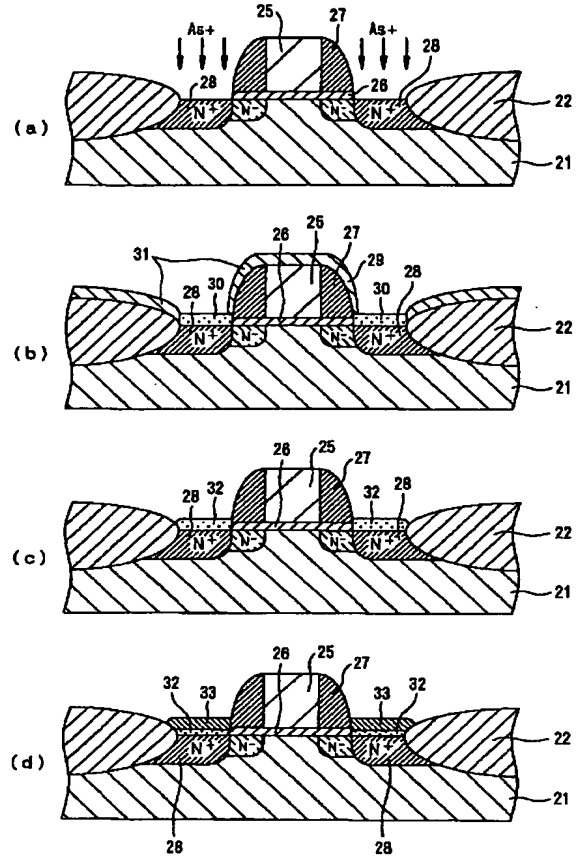
【図2】



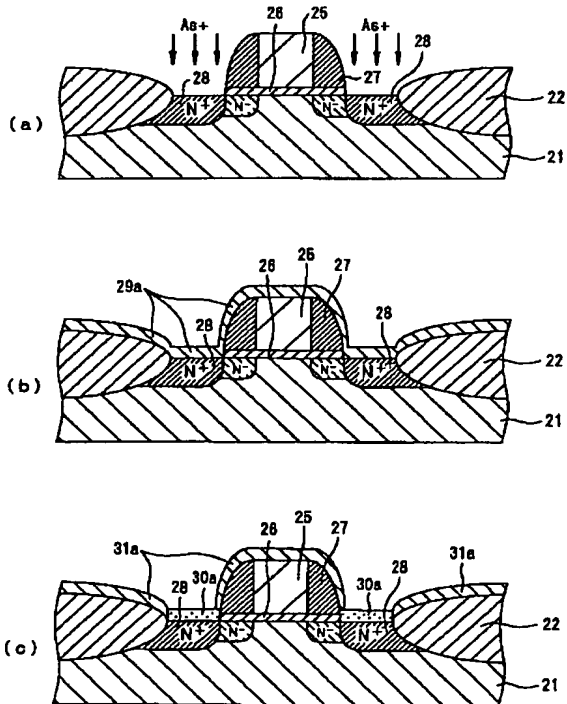
【図3】



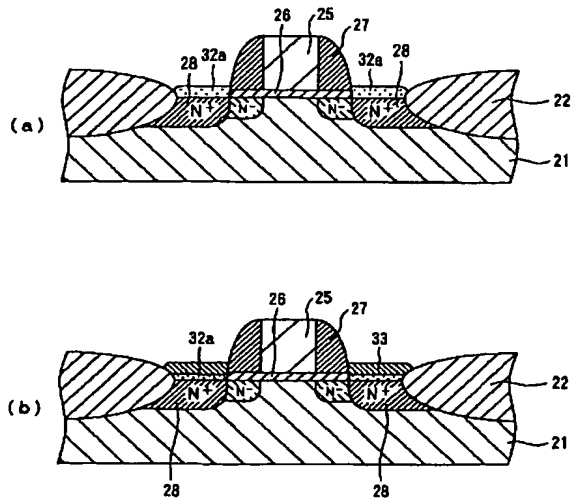
【図4】



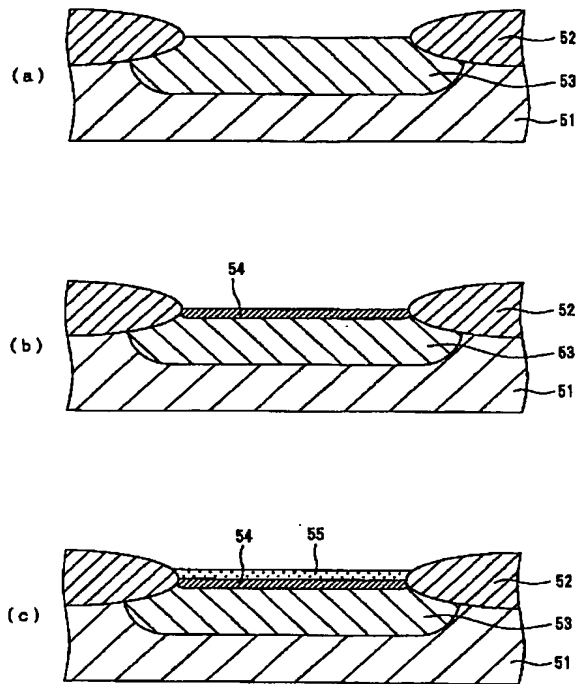
【図5】



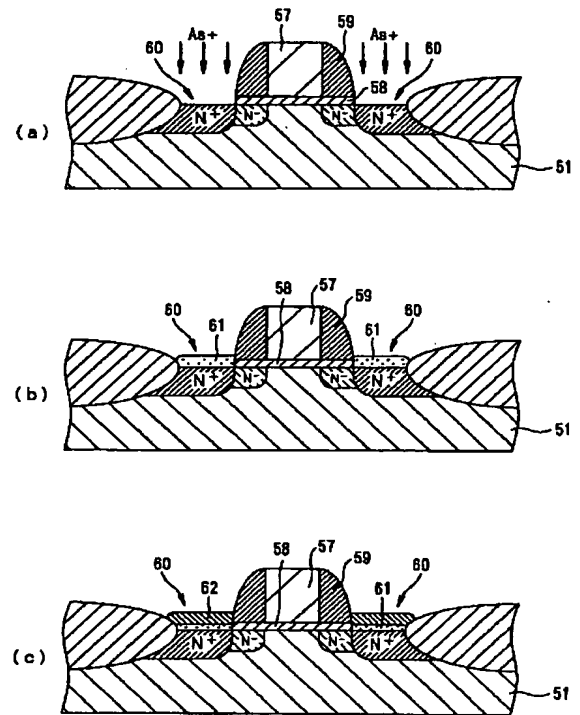
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.⁷
H01L 29/786

識別記号

FI
H01L 29/78

テーマコード(参考)

301P
618A

Fターム(参考) 5F040 DA06 DA18 DB01 DC01 EC01
EC07 EC13 ED01 ED03 ED04
EE05 EF02 EH02 EK01 EK05
FA03 FB02 FB04 FC06 FC07
FC09 FC19 FC22
5F043 AA11 BB04
5F045 AA06 AB02 AB03 AB04 AB32
AB33 AB34 AC01 AD07 AD08
AD09 AD10 AE17 AE19 AF03
DB03 EB15 HA14 HA15 HA16
5F052 AA11 DA02 DB02 GA01 JA01
5F110 AA08 AA16 BB20 CC02 DD05
EE05 EE09 EE14 EE32 FF02
FF23 GG02 GG12 GG28 GG32
GG34 GG37 GG44 GG47 GG52
HJ01 HJ13 HJ23 HK05 HK09
HK13 HK21 HK34 HK37 HK40
HM15 NN62 NN65 NN66 PP01
PP10